

## 内視鏡装置

### BACKGROUND OF THE INVENTION

#### Field of the Invention

本発明は、内視鏡挿入部先端部に備えられる、或いは内視鏡の接眼部に着脱自在に取り付けられる撮像素子に信号線を接続した内視鏡装置に関する。

#### Prior Art Statement

近年、体腔内や管路内等に細長の挿入部を挿入し、体腔内や管路内等の被写体を観察できる内視鏡が広く利用されている。このような内視鏡は、例えば、挿入部先端に被写体像を撮像するための撮像手段としてのＣＣＤを備え、このＣＣＤから延出する信号線は、挿入部内及びこの挿入部基端側に連設された操作部内を挿通し、この操作部から延出して、外部のビデオプロセッサに電氣的に接続されるようになっている。このビデオプロセッサは、前記信号線を介してＣＣＤに駆動信号を与え、そしてＣＣＤから信号線を介して得られた撮像信号を映像信号に変換してモニタ装置等へ被写体像を描出するようになっている。

しかしながら、前記信号線が長い場合には、駆動信号や撮像信号は、前記信号線を伝送する間に遅延を生じ、前記ビデオプロセッサ内において、駆動信号を送信するタイミングに対して受信される撮像信号のタイミングが遅れてしまい、映像信号が正常に再現できない虞があった。

そこで、例えば、日本国特許第２６９４７５３号掲載公報には、前記ＣＣＤ駆動信号と、ＣＣＤから受信した撮像信号をサンプリングするサンプルホールド信号との位相を合わせるための遅延線を設けることで、信号線の長さに起因する遅延を補正する技術が示されている。

しかしながら、前記日本国特許第２６９４７５３号掲載公報に記載の従来技術では、信号線の長さ補正、即ち信号線の長さに起因する遅延に対する補正を行うために、この信号線の長さ補正専用の遅延線や、ＩＣ等の電子部品を、ビデオプロセッサに付加する必要がある、その分、構成が複雑になり、部品点数が増加しコストアップとなるという不都合があった。

## OBJECT AND SUMMARY OF THE INVENTION

本発明に目的は、上記事情に鑑みてなされたものであり、信号線の長さ補正のための専用の遅延線などを不要として、使用する部品点数を削減して構成を簡略化した上で、前記信号線の長さ補正を行うことができる内視鏡装置を提供することにある。

本発明は、内視鏡に内蔵された或いは着脱自在に接続される撮像手段を駆動する第 1 の駆動信号を生成する手段と、前記撮像手段で得られた撮像信号に含まれる第 1 の映像信号を得る映像信号抽出手段と、前記映像信号抽出手段を駆動して前記映像信号抽出手段が前記撮像信号から前記第 1 の映像信号を得る際のタイミングを制御する第 2 の駆動信号を生成する手段と、前記第 1 の映像信号からモニタ表示可能な第 2 の映像信号を得る回路の少なくとも一部を格納した第 1 のプロセッサとを有する内視鏡装置において、前記第 1 のプロセッサに格納され前記第 1 の駆動信号及び前記第 2 の駆動信号に含まれる信号のうち少なくとも一部の信号を遅延させる遅延回路を備えている。

本発明のその他の特徴と利益は、次の説明を以て充分明白になるであろう。

## BRIEF DESCRIPTION OF THE DRAWINGS

図 1 及び図 2 は本発明の第 1 の実施の形態に係り、図 1 は内視鏡装置の全体構成を示すブロック図、

図 2 は遅延回路の構成を示すブロック図、

図 3 は第 1 の実施の形態の変形例に係り、内視鏡装置の全体構成を示すブロック図、

図 4 ないし図 9 は簡易な構成で色ずれを補正する内視鏡装置の実施態様に係り、図 4 は内視鏡装置の全体構成を示すブロック図、

図 5 は色分離回路の構成を示すブロック図、

図 6 は CCD の画素とフィールドとの色の対応を示す説明図、

図 7 はラインメモリのデータ記憶タイミングを示すタイムチャート、

図 8 (A) はラインメモリのデータ内容と減算器の出力との関係を示すものであって、ケーブル遅延が無い場合の動作を示す説明図、図 8 (B) はラインメモリのデータ内容と減算器の出力との関係を示すものであって、1 画素分のケーブル遅延が生じた場合の動作を示す説明図、

図 9 はラインメモリアドレス開始タイミングを示す説明図、

図 10 ないし図 14 は安価な構成で映像信号処理機能に特殊効果機能を追加した内視鏡の実施の形態であって、図 10 は全体構成を示すブロック図、

図 11 は長時間露光機能に関わる機能を抜粋した内視鏡の機能構成を示すブロック図、

図 12 は長時間露光機能の動作を示すタイムチャート、

図 13 はダイナミックレンジ拡大機能の動作を示すタイムチャート、

図 14 はダイナミックレンジ拡大機能で使用する補正係数の特性の一例を示す説明図、

図 15 は内視鏡装置の構成を示すブロック図、

図 16 及び図 17 は日付や時刻及び任意の文字を映像信号に重畳する機能等の付加機能を有する内視鏡の実施の形態に係り、図 16 は内視鏡の全体構成を示すブロック図、

図 17 はスーパインポーズ回路及び映像信号処理用 DSP の詳細構成を示すブロック図である。

## DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

以下、図面を参照して本発明の実施の形態を説明する。

図 1 及び図 2 は本発明の第 1 の実施の形態に係り、図 1 は内視鏡装置の全体構成を示すブロック図、図 2 は遅延回路の構成を示すブロック図である。

図 1 に示すように、本実施の形態の内視鏡装置 1 は、体腔内や機器類の管路内（以下同じ）等に挿入して被写体像に対応した撮像信号を得る内視鏡 2 と、この内視鏡 2 で得られた撮像信号からモニタ表示可能な映像信号を作るビデオプロセッサ 3 を有して構成されている。

前記内視鏡 2 は、体腔内や管路内などに挿入するための細長の挿入部 1 1 と、この挿入部 1 1 の基端側に連設され、内視鏡 2 を把持し操作するための操作部 1 2 と、この操作部 1 2 側部から延出し、前記ビデオプロセッサに接続するための信号ケーブル 1 3 と、この信号ケーブル 1 3 端部に設けられ、前記ビデオプロセッサ 3 に着脱自在に接続するためのコネクタ 1 4 と、前記挿入部 1 1 先端に設けられ、被写体像を結像するための対物光学系 1 5 と、この対物光学系 1 5 の結像位置に受光面が配置され、この対物光学系 1 5 で結像した被写体像を撮像するための撮像手段としての CCD 1 6 と、この CCD 1 6 の入出力信号を波形成形するための波形成形回路 1 7 を有して構成されている。そして、波形成形回路 1 7 を介して CCD 1 6 に入出力される信号を伝送する信号線が、内視鏡 2 内を挿通して、前記コネクタ 1 4 に電氣的に接続されている。

前記ビデオプロセッサ 3 は、前記 CCD 1 6 を駆動したり、映像信号を生成する映像信号処理用 DSP 2 1 (DSP はデジタル信号プロセッサの略である) と、この映像信号処理用 DSP 2 1 から出力され前記 CCD 1 6 を駆動する駆動信号を増幅するための駆動アンプ 2 2 と、前記 CCD 1 6 から伝送された撮像信号を増幅するためのプリアンプ 2 3 と、このプリアンプ 2 3 から出力される撮像信号に CDS (相関二重サンプリング) 処理を施して映像信号成分を抽出する CDS 回路 2 4 と、この CDS 回路 2 4 で得られた映像信号をデジタル信号に変換して前記映像信号処理用 DSP 2 1 へ与える A/D 変換回路 2 5 と、前記映像信号処理用 DSP 2 1 及びビデオプロセッサ 3 各部を制御する制御マイクロプロセッサ 2 6 と、この制御マイクロプロセッサ 2 6 が実行するソフトウェアを格納する ROM 2 7 と、前記制御マイクロプロセッサ 2 6 により設定状態を検知可能な DIP スイッチ等の設定スイッチ 2 8 を有して構成されている。

前記映像信号処理用 DSP 2 1 は、前記 CCD 1 6 を駆動する駆動信号を出力する CCD 駆動回路 3 1 と、前記 CCD 駆動回路 3 1 へ与える駆動信号及び前記 CDS 回路 2 4 へ与えるサンプルホールド信号等の信号を同期発生する SSG 3 2 (同期信号発生回路) と、この SSG 3 2 から前記 CCD 駆動回路 3 1 へ与えられる駆動信号及び CDS 回路 2 4 へ与えられるサンプルホールド信号をそれぞれ遅延させる遅延回路 3 3 と、前記 A/D 変換回路 2 5 で得られたデジタル映像

信号に各種映像信号処理を施す映像信号処理回路 3 4 と、この映像信号処理回路 3 4 から出力される映像信号をデジタル変調して D/A 変換しモニタ表示可能なアナログ映像信号に変換するデジタルエンコーダを有して構成されている。なお、各種映像信号処理とは、例えば、ホワイトバランス補正処理、輪郭強調処理、ガンマ補正及び二一処理、輝度／色信号分離処理等である。

図 2 に示すように、前記遅延回路 3 3 は、信号を遅延させるための直列に接続された複数のバッファ 4 1 と、前記制御マイクロプロセッサ 2 6 の制御に応じて、各バッファ 4 1 の出力を選択して出力する選択回路 4 2 を有して構成されている。このとき、複数のバッファ 4 1 は、例えば、1 個当たりの遅延時間が 1 ナノ秒のバッファ 4 1 を 1 0 0 個接続して構成してもよい。これにより、遅延回路 3 3 は、制御マイクロプロセッサ 2 6 の制御に応じて、駆動信号及びサンプルホールド信号をそれぞれ任意の時間だけ遅延させることができるようになっている。

次に、本実施の形態の作用を述べる。

S S G 3 2 から出力された駆動信号は、遅延回路 3 3 で遅延され、C C D 駆動回路 3 1 と、駆動アンプ 2 2 と、信号ケーブル 1 3 と、波形成形回路 1 7 を介して、C C D 1 6 へ与えられる。このとき、制御マイクロプロセッサ 2 6 は、設定スイッチ 2 8 で設定された値に従い、遅延回路 3 3 の選択回路 4 2 を設定し、遅延回路 3 3 は、設定スイッチ 2 8 で設定された値だけ駆動信号を遅延させる。

駆動信号で駆動された C C D 1 6 で得られた撮像信号は、波形成形回路 1 7 と、信号ケーブル 1 3 と、プリアンプ 2 3 を介して C D S 回路 2 4 へ与えられる。また、S S G 3 2 から出力されたサンプルホールド信号が、遅延回路 3 3 により遅延されて、C D S 回路 2 4 へ与えられる。このとき、制御マイクロプロセッサ 2 6 は、設定スイッチ 2 8 で設定された値に従い、遅延回路 3 3 の選択回路 4 2 を設定し、遅延回路 3 3 は、設定スイッチ 2 8 で設定された値だけサンプルホールド信号を遅延させる。

C D S 回路 2 4 で得られた映像信号は、A/D 変換回路 2 5 によりデジタル映像信号に変換され、このデジタル映像信号は、映像信号処理回路 3 4 により、各種映像信号処理が施され、デジタルエンコーダ 3 5 により、モニタ表示可能な映像信号に変換されて出力される。

以上のように、信号ケーブル 1 3 や挿入部 1 1 等の長さに応じて、すなわち、C C D 1 6 からビデオプロセッサ 3 間での信号線の長さに応じて、設定スイッチ 2 8 で駆動信号及びサンプルホールド信号の遅延時間を設定しておくことで、C D S 回路 2 4 に入力される撮像信号とサンプルホールド信号との位相が補正され、ビデオプロセッサ 3 は、正常な映像信号を得ることができる。

以上説明したように、本実施の形態によれば、遅延回路 3 3 を設けたことで、前記信号線の長さ補正を行うことができる。

また、遅延回路 3 3 は、映像信号処理用 D S P 2 1 に組み込まれて構成されるので、遅延回路 3 3 を設けるための部品数の増加を削減でき、内視鏡装置 1 を安価に構成することができる。

従って、本実施の形態によれば、部品数を削減することで、安価な構成で C C D からビデオプロセッサ間の信号線の長さ補正を行うことができるという効果が得られる。

また、遅延回路 3 3 は、制御マイクロプロセッサ 2 6 の制御により、遅延時間が可変であるので、ビデオプロセッサ 3 は、信号ケーブル 1 3 や挿入部 1 1 等の長さが異なる、すなわち C C D 1 6 からビデオプロセッサ 3 間の信号線の長さが異なる複数の種類の内視鏡 2 に対応して、信号線の長さ補正を行うことができる。

図 3 は第 1 の実施の形態の変形例に係り、内視鏡装置の全体構成を示すブロック図である。なお、本変形例では、前記第 1 の実施の形態と同様に構成されている部位には同じ符号を付して説明を省略する。

図 3 に示すように、本変形例では、前記第 1 の実施の形態（図 1 参照）の設定スイッチ 2 8 が設けられる代わりに、内視鏡 2 の種別を識別するための識別信号を前記制御マイクロプロセッサ 2 6 へ与える識別信号発生回路 5 1 が内視鏡 2 に設けられ、この識別信号発生回路 5 1 からの識別信号は、信号ケーブル 1 3 を介して前記制御マイクロプロセッサ 2 6 へ与えられるようになっている。なお、識別信号発生回路は、内視鏡 2 の識別情報を前記制御マイクロプロセッサ 2 6 へ与えられるものであればよく、例えば、簡易なスイッチや、プルアップ・プルダウン抵抗による回路でもよい。

前記 R O M 2 7 には、前記識別情報から前記遅延回路 3 3 に与える信号遅延量

を得るためのソフトウェアが格納されており、制御マイクロプロセッサ 26 は、識別信号発生回路 51 から与えられた識別情報に応じて、遅延回路 33 を設定するようになっている。

次に、本変形例の作用を述べる。なお、本変形例では、前記第 1 の実施の形態と異なる点についてのみ説明する。

内視鏡 2 の信号ケーブル 13 端部のコネクタ 14 が、ビデオプロセッサ 3 に接続されると、内視鏡 2 の種別を識別するための識別信号が、識別信号発生回路 51 から制御マイクロプロセッサ 26 へ与えられる。すると、制御マイクロプロセッサ 26 は、与えられた識別情報に応じて、遅延回路 33 の遅延時間を自動的に設定する。

以上説明した本変形例によれば、第 1 の実施の形態で述べた効果に加えて、次の効果を得ることができる。

本変形例では、遅延回路 33 の遅延時間が自動的に設定されるので、操作性が向上する。

なお、本発明は、上述の実施の形態のみに限定されるものではなく、発明の要旨を逸脱しない範囲で種々変形実施可能である。

例えば、ROM 27 は、マスク ROM に限らず、ソフトウェアを格納できるその他の記憶素子であってもよい。

また、例えば、設定スイッチ 28 で設定する情報は、遅延回路 33 の遅延時間を示す情報に限らず、CCD からビデオプロセッサ間の信号線の長さを示す情報であってもよい。このとき、ROM 27 には、前記信号線の長さを示す情報から遅延回路 33 への設定情報を得るソフトウェアを格納しておく。

また、例えば、設定スイッチ 28 で設定する情報は、遅延回路 33 の遅延時間を示す情報に限らず、内視鏡 2 の種別を識別するための識別情報であってもよい。このとき、ROM 27 には、識別情報から遅延回路 33 への設定情報を得るソフトウェアを格納しておく。

また、例えば、識別信号発生回路 51 がビデオプロセッサ 3 へ与える情報は、内視鏡 2 の種別を識別する識別情報に限らず、CCD からビデオプロセッサ間の信号線の長さを示す情報であってもよいし、遅延回路 33 へ与える遅延時間を示

す情報であってもよい。

また、内視鏡 2 は、撮像手段を挿入部先端に備えた電子内視鏡に限らず、被写体像の光学像が接眼部から射出される光学内視鏡であってもよい。このとき、撮像手段は、接眼部に着脱自在に接続されるカメラヘッド等に設けられる。また、このとき、識別信号発生回路 5 1 と同様の機能を有する回路をカメラヘッドに設けてもよい。

上述したように、近年、内視鏡の挿入部先端部内に設けられ被写体像を撮像するための撮像手段としての CCD と、前記 CCD を駆動制御し、前記 CCD で得られる撮像信号からモニタ表示可能な映像信号を得るビデオプロセッサを備えた内視鏡装置が広く利用されている。

このような内視鏡装置では、一般に CCD を駆動する駆動信号をビデオプロセッサが出力し、CCD で得られた撮像信号がビデオプロセッサに入力されるまでに、これらの信号を伝送する信号線で遅延が生じる。そのため、ビデオプロセッサで、撮像信号から映像信号成分を抽出した後、例えばこの映像信号の輝度成分と色差信号成分を分離する色分離処理を行う際に、信号線による遅延に起因した映像信号に含まれる画素のタイミングのずれにより、誤った色差信号が抽出され、ビデオプロセッサから出力される映像信号において正常な色が再現されないことがあった。

そこで、例えば日本国特開平 6 - 2 6 9 4 0 4 号公報は、前記信号線の長さ起因する信号の遅れ時間によって発生する色再現性の悪化を防止する技術が提案している。

しかしながら、例えば前記日本国特開平 6 - 2 6 9 4 0 4 号公報等示される従来技術では、色再現性の悪化を防止する手段を構成するために、映像信号処理を行う際の制御信号を遅延させて撮像信号の遅れに対して位相を補正するディレイラインを設けたり、色分離処理を行う際の特殊な制御信号を生成する回路を設ける等して、部品数が増加し、コストが増加するという欠点があった。

そこで、図 4 ないし図 9 を参照して、前記信号線の長さ起因する色再現性の悪化を、簡単な構成で安価に防止できる内視鏡装置の実施の形態について、以下



に説明する。

図4に示すように、内視鏡装置101は、体腔内或いは管路内等に挿入して被写体像を観察するための内視鏡102と、この内視鏡102に着脱自在に接続され、この内視鏡102に供給する照明光を発生する光源装置103を有して構成されている。

前記内視鏡102は、体腔内或いは管路内等に挿入する細長の挿入部111と、この挿入部111の基端側に連設され、内視鏡102を把持し操作するための操作部112と、前記挿入部111内及び前記操作部112内を挿通し、前記光源装置から発せられる照明光を挿入部111先端まで導光するライトガイド113と、前記挿入部111先端に設けられ、前記ライトガイド113から出射される照明光を被写体へ向けて配光する配光光学系114と、前記挿入部111先端に設けられ、被写体像を結像する対物光学系115と、前記挿入部111先端部の前記対物光学系115の結像位置に受光面が配置され、被写体像を撮像するための撮像手段としてのCCD116と、このCCD116の後端側近傍に設けられ、このCCD116が入出力する信号を波形成形する波形成形回路117と、前記操作部112に設けられ、前記波形成形回路117を介して、前記CCD116を駆動制御し、前記CCD116で得られた撮像信号からモニタ表示可能な映像信号を作る機能等を有するビデオプロセッサ118と、前記ビデオプロセッサ118が映像信号に対してホワイトバランス調整を施す際の調整値を前記ビデオプロセッサ118へ与えるホワイトバランス調整スイッチ119を有して構成されている。

前記ビデオプロセッサ118は、前記CCD116を駆動制御し、前記CCD116で得られた撮像信号からモニタ表示可能な映像信号を作る映像信号処理回路121と、前記映像信号処理回路121等のビデオプロセッサ118各部を制御する制御マイクロプロセッサ122と、この制御マイクロプロセッサ122が実行するソフトウェアを格納するROM123と、前記映像信号処理回路121が処理する映像信号のゲインを前記制御マイクロプロセッサ122が制御する際に、前記制御マイクロプロセッサ122が参照するゲイン情報を設定するためのゲイン設定回路124を有して構成されている。

前記映像信号処理回路 1 2 1 は、前記 C C D 1 1 6 を駆動する駆動信号を発生し、前記 C C D 1 1 6 で得られた撮像信号を変換して得られたデジタル映像信号を入力し、モニタ表示可能な映像信号を作る機能を有する映像信号処理用 D S P 1 3 1 と、この映像信号処理用 D S P 1 3 1 から出力される駆動信号を増幅し、前記波形成形回路 1 1 7 を介して前記 C C D 1 1 6 へ駆動信号を与えるドライブアンプ 1 3 2 と、前記波形成形回路 1 1 7 を介して前記 C C D 1 1 6 から得られた撮像信号を増幅するプリアンプ 1 3 3 と、このプリアンプ 1 3 3 から出力される撮像信号に C D S（相関二重サンプリング）処理を施して映像信号成分を抽出する C D S 回路 1 3 4 と、この C D S 回路 1 3 4 で得られた映像信号をデジタル信号に変換して前記映像信号処理用 D S P 1 3 1 へ与える A/D 変換回路 1 3 5 を有して構成されている。

前記映像信号処理用 D S P 1 3 1 は、駆動信号を生成する基本となる信号及び前記映像信号処理回路 1 2 1 各部が動作する際の基本となる信号を同期的に発生する S S G 1 4 1（同期信号発生回路）と、この S S G 1 4 1 から与えられる基本信号に従い、駆動信号を発生する C C D 駆動 T G 1 4 2（T G はタイミングジェネレータの略である）と、前記 S S G 1 4 1 から与えられる同期信号に従って動作し、前記 A/D 変換回路 1 3 5 から与えられるデジタル映像信号から、輝度信号 Y 及び色差信号 R-Y, B-Y を得る色分離回路 1 4 3 と、前記ゲイン設定回路 1 2 4 及びホワイトバランス調整スイッチ 1 1 9 の状態に応じて制御マイクロプロセッサ 1 2 2 で制御され、前記色差信号 R-Y, B-Y のそれぞれを増幅してホワイトバランスを調整するホワイトバランス調整用可変デジタルアンプ 1 4 4 と、前記色分離回路 1 4 3 から入力される輝度信号 Y 及び前記ホワイトバランス調整用可変デジタルアンプ 1 4 4 から入力される色差信号 R-Y, B-Y からなる映像信号にデジタル変調を施して D/A 変換し、モニタ表示可能な映像信号である Y/C 分離映像信号及びコンポジット映像信号を得るデジタルエンコーダ 1 4 5 を有して構成されている。

前記ゲイン設定回路 1 2 4 は、前記光源装置 1 0 3 にメタルハロイドランプが装着されている際の映像信号の赤成分のゲインを設定するメタルハロイドランプ用 R ゲイン設定トリマ 1 5 1 a と、前記光源装置 1 0 3 にキセノンランプが装着

されている際の映像信号の赤成分のゲインを設定するキセノンランプ用Rゲイン設定トリマ151bと、前記光源装置103にメタルハロイドランプが装着されている際の映像信号の青成分のゲインを設定するメタルハロイドランプ用Bゲイン設定トリマ151cと、前記光源装置103にキセノンランプが装着されている際の映像信号の青成分のゲインを設定するキセノンランプ用Bゲイン設定トリマ151dと、前記制御マイクロプロセッサ122に制御され、前記光源装置103に装着されたランプの種類に応じたゲイン設定信号を選択し、即ち、メタルハロイドランプ用Rゲイン設定トリマ151a及びメタルハロイドランプ用Bゲイン設定トリマ151cの組み合わせとキセノンランプ用Rゲイン設定トリマ151b及びキセノンランプ用Bゲイン設定トリマ151dの組み合わせとのうちの一方の組み合わせからのゲイン設定信号を選択して通過させる選択回路152と、この選択回路152を通過した赤成分及び青成分の設定信号をそれぞれデジタル信号に変換して前記制御マイクロプロセッサへ与えるA/D変換回路153a、153bを有して構成されている。

前記光源装置103は、照明光を発するための例えばメタルハロイドランプ或いはキセノンランプ等の光源ランプ161と、この光源ランプ161から発せられる照明光を集光して前記ライトガイド113へ入射させる集光光学系162と、前記光源ランプ161の種類を示す信号を前記ビデオプロセッサ118の制御マイクロプロセッサ122へ与えるための識別信号発生回路163を有して構成されている。

図5に示すように、色分離回路143は、SSG141から与えられる制御信号であるメモリクロック、ラインメモリアドレス、ライト信号、リード信号により制御され、前記A/D変換回路135で得られたデジタル映像信号を逐次記憶する第1のラインメモリ171a、第2のラインメモリ171b、第3のラインメモリ171c、第4のラインメモリ171dと、前記ラインメモリ171a、171bからそれぞれ読み出される信号を減算し、色差信号 $R - Y$ を得る減算器172aと、前記ラインメモリ171c、171dからそれぞれ読み出される信号を減算し、色差信号 $B - Y$ を得る減算器172bと、前記A/D変換回路135で得られたデジタル映像信号の低域周波数成分を通過させ、輝度信号 $Y$ を得る

LPF 173 (低域通過フィルタ) を有して構成されている。

次に、図4及び図5に示す内視鏡装置101の全体動作に関する作用を説明する。

光源装置103の光源ランプ161から発せられた照明光は、集光光学系162で集光されてライトガイド113の光入射端に入射し、ライトガイド113により導光され、配光光学系114により、被写体へ向けて照射される。このとき、光源ランプ161は、異なる種類のランプ、例えばメタルハロイドランプ及びキセノンランプのうち任意の種類のランプを使用することができる。そして、光源ランプ161の種類が異なると、被写体には波長構成の異なる照明光が照射される。

被写体に照射された反射光による被写体像は、対物光学系115により、CCD 116の受光面に結像する。また、映像信号処理回路121のCCD駆動TG 142から出力される駆動信号は、ドライバンプ132及び波形成形回路117を介してCCD 116へ与えられ、CCD 116は、この駆動信号に駆動されて、受光面に結像した被写体像に対応する撮像信号を出力する。この撮像信号は、波形成形回路117、プリアンプ133を介して、CDS回路134に与えられ、このCDS回路134は、与えられた撮像信号から映像信号成分を抽出してA/D変換回路135へ与え、このA/D変換回路135は、映像信号をデジタル信号に変換して色分離回路143へ与える。この色分離回路143は、与えられた映像信号を輝度信号Yと色差信号R-Y, B-Yに変換し、輝度信号Yはデジタルエンコーダ145へ与えられる。そして、色差信号R-Y, B-Yは、ホワイトバランス調整用可変デジタルアンプ144へ与えられて、それぞれレベルが調整され、デジタルエンコーダ145へ与えられる。デジタルエンコーダ145は、与えられた輝度信号Y、色差信号R-Y, B-Yをデジタル変調してD/A変換し、コンポジット映像信号及びY/C分離映像信号を出力する。

次に、ホワイトバランス調整に関する作用を説明する。◎

メタルハロイドランプ用Rゲイン設定トリマ151a及びメタルハロイドランプ用Bゲイン設定トリマ151cには、光源ランプ161としてメタルハロイドランプを使用した場合の赤及び青のゲイン調整値を予め設定しておく。同様に、

キセノンランプ用Rゲイン設定トリマ151b及びキセノンランプ用Bゲイン設定トリマ151dには、光源ランプ161としてキセノンランプを使用した場合の赤及び青のゲイン調整値を予め設定しておく。

そして、光源装置103が内視鏡102に装着されると、光源装置103の識別信号発生回路163から制御マイクロプロセッサ122へ識別信号が与えられ、この制御マイクロプロセッサ122は、光源装置103の光源ランプ161の種別に応じて、選択回路152を切り替え、メタルハロイドランプ用Rゲイン設定トリマ151a及びメタルハロイドランプ用Bゲイン設定トリマ151cの組み合わせ或いはキセノンランプ用Rゲイン設定トリマ151b及びキセノンランプ用Bゲイン設定トリマ151dの組み合わせのいずれかの組み合わせの信号を通過させる。すると、光源ランプ161の種別に対応した赤及び青のゲイン設定値は、それぞれA/D変換回路153a、153bでA/D変換され、制御マイクロプロセッサ122へ与えられる。そして、制御マイクロプロセッサ122は、与えられた赤及び青のゲイン設定値とホワイトバランス調整スイッチ119の状態に応じて、色差信号 $R-Y$ 、 $B-Y$ のそれぞれに対するホワイトバランス調整用可変デジタルアンプ144の増幅率を制御し、ホワイトバランス調整用可変デジタルアンプ144は、色差信号 $R-Y$ 、 $B-Y$ のレベルを補正する。

次に、色分離処理に関する作用を説明する。

図6に、CCD116の画素配列の一例を示す。なお、図において、フレームを構成する2つのフィールドを便宜的にAフィールド及びBフィールドと呼んでいる。また、「Cy」(シアン)、「Ye」(黄)、「G」(緑)、「Mg」(マゼンタ)は、各画素の色成分の電荷レベル或いは信号レベルを意味している。図に示すように、1つのフィールドラインは、2つの画素ラインから構成されている。例えば、Aフィールドの第nラインは、Cy、Ye、Cy、…からなる画素ラインと、G、Mg、G、…からなる画素ラインから構成されている。そして、CCD116に備えられ1フィールドライン分の信号を蓄積して転送するための水平転送レジスタには、Aフィールドの第2ラインの信号は、 $G+Cy$ 、 $Mg+Ye$ 、 $G+Cy$ 、…のような信号値が蓄積される。また、Aフィールドの第n+1ラインの信号は、図の転送レジスタの括弧内に記すように、 $Mg+Cy$ 、 $G+Ye$ 、 $Mg$

+C<sub>y</sub>、…のような信号値が蓄積される。この水平転送レジスタに蓄積された信号は、フィールドライン単位で、撮像信号に含まれて映像信号処理回路121へ転送され、デジタル映像信号に変換されて、フィールドライン単位で、色分離回路143へ与えられる。

図5に示す色分離回路の各ラインメモリ171a、171b、171c、171dには、SSG141から、それぞれラインメモリアドレス、ライト信号、リード信号、メモリクロックが与えられて制御される。このとき、各フィールドの奇数ラインの信号は、第1のラインメモリ171a及び第2のラインメモリ171bに記憶され、偶数ラインの信号は、第3のラインメモリ171c及び第4のラインメモリ171dに記憶されるように制御される。また、各フィールドライン内の各画素信号には、0、1、2、3、…の順でラインメモリアドレスが対応付けられ、ラインメモリアドレスが偶数の場合には、第1のラインメモリ171a及び第3のラインメモリ171cが動作し、奇数の場合には、第2のラインメモリ171b及び第4のラインメモリ171dが動作するように制御される。

図7に示すように、例えばAフィールドの第nラインが偶数ラインであるとした場合は、Aフィールドの第nラインの画素信号は、G+C<sub>y</sub>、Mg+Y<sub>e</sub>、G+C<sub>y</sub>、…の順で色分離回路143に入力される。ここで、これらの画素信号のラインメモリアドレスが、6、7、8、…であるとする、第1のラインメモリ171aには、G+C<sub>y</sub>の画素信号が記憶され、第2のラインメモリ171bには、Mg+Y<sub>e</sub>の画素信号が記憶される。奇数ラインの画素信号の場合も同様に、第3のラインメモリ171cには、Mg+C<sub>y</sub>の画素信号が記憶され、第4のラインメモリ171dには、G+Y<sub>e</sub>と記される画素信号が記憶される。Bフィールドについても、記憶される画素信号の色構成は異なるが、同様の動作により画素信号が記憶される。

各ラインメモリ171a、171bに記憶された画素信号は、ラインメモリアドレスの最下位ビットを除くアドレスが同じアドレスに記憶された画素信号が同時に読み出されて減算器172aに与えられ、この減算器172aは、第2のラインメモリ171bの画素信号のレベルから第1のラインメモリ171aの画素信号のレベルを減じたレベルの画素信号を出力する。また、各ラインメモリ17

1 c、1 7 1 dに記憶された画素信号は、ラインメモリアドレスの最下位ビットを除くアドレスが同じアドレスに記憶された画素信号が同時に読み出されて減算器1 7 2 bに与えられ、この減算器1 7 2 bは、第3のラインメモリ1 7 1 cの画素信号のレベルから第4のラインメモリ1 7 1 dの画素信号のレベルを減じたレベルの画素信号を出力する。

このとき、一般に、画素信号と色差信号 $R - Y$ 、 $B - Y$ の間には、

$$R - Y = (Mg + Ye) - (G + Cy)$$

$$B - Y = (Mg + Cy) - (G + Ye)$$

の関係が知られている。

従って、図8 (A)に示すように、減算器1 7 2 aからは、色差信号 $R - Y$ が出力される。なお、図において、(6)、(7)、(8)、…と記された数値は、ラインメモリアドレスを示している。同様に、減算器1 7 2 bからは、色差信号 $B - Y$ が出力される。

ところが、CCDからビデオプロセッサ間の信号線の長さに起因する電氣的な遅延により、映像信号処理回路1 2 1に入力される撮像信号の位相が、例えば1画素分遅れると、色分離回路1 4 3に入力される映像信号の位相が1画素分遅れてしまう。すると、図8 (B)に示すように、第1のラインメモリ1 7 1 aと第2のラインメモリ1 7 1 bの内容が逆になってしまい、減算器1 7 2 aからは、色差信号 $R - Y$ が得られなくなってしまう。同様に、減算器1 7 2 bからは、色差信号 $B - Y$ が得られなくなってしまう。これは、映像信号の位相が奇数画素分遅れた場合についても同様である。すると、デジタルエンコーダ1 4 5から出力される映像信号の色再現性が悪化してしまう。

そこで、SSG 1 4 1は、以下に述べるように色分離回路1 4 3の動作を制御する。即ち、SSG 1 4 1は、1ラインの転送周期を示すライン基準信号の例えば立ち下がり等の基準タイミングに対して、ラインメモリアドレス開始タイミングを遅らせて、ラインメモリアドレスを色分離回路1 4 3へ出力するように制御する。このとき、ラインメモリアドレス開始遅延時間は、撮像信号の位相の遅れに応じて設定される。これにより、色分離回路1 4 3に与えられる映像信号の位相が奇数画素分遅れても、ラインメモリアドレス開始タイミングを調節すること

で、色分離回路 1 4 3 から正しい色差信号  $R-Y$ 、 $B-Y$  が出力され、デジタルエンコーダ 1 4 5 から出力される映像信号の色再現性が維持される。

以上説明したように、本実施の形態の内視鏡装置 1 0 1 によれば、出力映像信号の色再現性の悪化を防止できる。

また、SSG 1 4 1 から色分離回路 1 4 3 へ与えるラインメモリアドレスの開始タイミングを遅延させるのみの簡易な構成で、色再現性の悪化を防止できる。

また、SSG 1 4 1 は、映像信号処理用 DSP 1 3 1 内に構成されており、この映像信号処理用 DSP 1 3 1 が実行するソフトウェアを格納する図示しない ROM 等の記憶素子の内容を変更する等の処理で、各種の内視鏡 1 0 2 に対する色再現性の悪化を防止できるので、追加部品を削減でき、コストを削減できる。

従って、本実施の形態の内視鏡装置 1 0 1 によれば、簡易な構成で安価に色再現性の悪化を防止できる。

また、光源ランプ 1 6 1 の種類に応じて、各色差信号  $R-Y$ 、 $B-Y$  のゲインが自動的に調節されるので、異なる種類の光源ランプ 1 6 1 を使用することによる色再現性の悪化を防止できる。なお、図 4 に示す内視鏡装置 1 0 1 の例では、色差信号  $R-Y$ 、 $B-Y$  のゲインは、メタルハロイドランプ用 R ゲイン設定トリマ 1 5 1 a、キセノンランプ用 R ゲイン設定トリマ 1 5 1 b、メタルハロイドランプ用 B ゲイン設定トリマ 1 5 1 c、キセノンランプ用 B ゲイン設定トリマ 1 5 1 d で設定しているが、このような構成に限らず、制御マイクロプロセッサ 1 2 2 に接続された ROM 1 2 3 にゲイン値を格納し、この制御マイクロプロセッサ 1 2 2 によりゲイン値を選択して設定することができる。更に、制御マイクロプロセッサ 1 2 2 に、図示しない外部との通信線を設け、この通信線を介して、例えば PC（パーソナルコンピュータ）を接続し、この PC から色差信号  $R-Y$ 、 $B-Y$  のゲインを設定するようにすることもできる。

なお、図 4 に示す内視鏡装置 1 0 1 は、ビデオプロセッサ 1 1 8 が内視鏡 1 0 2 と一体に構成されているが、このような構成に限らず、ビデオプロセッサが内視鏡と別体に構成されていてもよい。

ところで、近年、体腔内や管路内等に細長の挿入部を挿入し、体腔内や管路内



等の被写体を観察できる内視鏡装置が広く利用されており、一般にこのような内視鏡装置は、例えば図 1 5 に示すように構成されている。

図 1 5 に示す内視鏡装置 3 0 1 は、体腔内や管路内等に挿入して被写体像に対応した撮像信号を得る内視鏡 3 0 2 と、この内視鏡 3 0 2 で得られた撮像信号からモニタ表示可能な映像信号を得るビデオプロセッサ 3 0 3 を有して構成されている。

前記内視鏡 3 0 2 は、体腔内や管路内等に挿入する細長の挿入部 3 1 1 と、この挿入部 3 1 1 の基端側に連設され、内視鏡 3 0 2 を把持し操作するための操作部 3 1 2 と、この操作部 3 1 2 側部から延出し、前記ビデオプロセッサ 3 0 3 との間で信号を伝送する信号ケーブル 3 1 3 と、この信号ケーブル 3 1 3 端部に設けられ、前記ビデオプロセッサ 3 0 3 に着脱自在に接続されるコネクタ 3 1 4 と、前記挿入部 3 1 1 先端に設けられ、被写体像を結像する対物光学系 3 1 5 と、この対物光学系 3 1 5 で結像された被写体像を撮像するための撮像手段としての CCD 3 1 6 を有して構成されている。

前記ビデオプロセッサ 3 0 3 は、このビデオプロセッサ 3 0 3 各部を制御するための制御マイクロプロセッサ 3 2 1 と、ビデオプロセッサ 3 0 3 を操作するための前記制御マイクロプロセッサ 3 2 1 に接続された操作スイッチ 3 2 2 と、ビデオプロセッサ 3 0 3 各部に与える制御信号を生成するタイミングジェネレータ 3 2 3 と、CCD 3 1 5 の電子シャッタ機能を制御する機能を有し、CCD 3 1 5 の駆動信号を生成する CCD 駆動・シャッタ設定回路 3 2 4 と、この CCD 駆動・シャッタ設定回路 3 2 4 で生成した駆動信号を増幅し、前記 CCD 3 1 6 へ与える CCD ドライブ回路 3 2 5 と、前記 CCD 3 1 6 で得られた撮像信号に CDS (相関二重サンプリング) 処理及び AGC (自動利得制御) 処理を施して映像信号成分を抽出する CDS/AGC 回路 3 3 1 と、この CDS/AGC 回路 3 3 1 で得られた映像信号をデジタル信号に変換する A/D 変換回路 3 3 2 と、この A/D 変換回路 3 3 2 で得られた映像信号に補正処理等を施し、輝度信号及び色信号からなる映像信号を得る映像信号補正回路 3 3 3 と、この映像信号補正回路 3 3 3 で得られた映像信号を一時記憶するフレームメモリ 3 3 4 と、このフレームメモリ 3 3 4 を制御するメモリコントローラ 3 3 5 と、前記フレームメモリ

334からの映像信号をデジタル変調してからD/A変換しモニタ表示可能な映像信号を得るデジタルエンコーダ336を有して構成されている。

前記映像信号補正回路333は、例えば、OB（オプティカル・ブラック）クランプ回路314、ガンマ補正回路342、ホワイトクリップ回路343、フィルタ回路344、エンハンス回路345を備えて、映像信号の輝度信号成分に補正処理等を施す輝度信号補正回路333aと、色分離回路351、色ガンマ補正回路352、フィルタ回路353、赤成分及び青成分を独立に増幅するR/Bアンプ354を備えて、色信号成分に補正処理などを施す色信号補正回路333bを有して構成されている。

しかしながら、内視鏡装置301のような従来の内視鏡装置において、露光時間を長くして動作する長時間露光モード及び映像信号のダイナミックレンジを拡大して動作するダイナミックレンジ拡大モードといった特殊動作モードで処理を実行しようとするときには、従来では、制御信号を発生する回路や映像信号の演算処理を行う回路を新たに追加していたので、コストの増加につながっていた。

そこで、追加するハードウェアを削減しつつ、長時間露光モード及びダイナミックレンジ拡大モードといった特殊動作モードを切り替えて動作できる内視鏡装置の実施の形態について、図10ないし図14を参照して説明する。

図10に示すように、内視鏡201は、体腔内或いは管路内等に挿入する細長の挿入部202と、この挿入部202の基端側に連設され、内視鏡201を把持し操作するための操作部203と、例えば前記操作部203に設けられ、照明光を供給するための光源装置211と、前記操作部203及び前記挿入部202内を挿通し、前記光源装置211から発せられた照明光を前記挿入部202先端まで導光するライトガイド212と、前記挿入部202先端に設けられ、前記ライトガイド212から出射した照明光を被写体へ向けて配光する配光光学系213と、前記挿入部202先端に設けられ、被写体像を結像する対物光学系214と、前記挿入部202先端の前記対物光学系214の結像位置に受光面が配置され、前記対物光学系214で結像した被写体像を撮像するための撮像手段としてのCCD215と、例えば前記操作部203に設けられ、前記CCD215を駆動制御し、前記CCD215で得られた撮像信号からモニタ表示可能な映像信号を得

るビデオプロセッサ 216 を有して構成されている。

前記ビデオプロセッサ 216 は、前記 CCD 215 を駆動する駆動信号を生成したり、前記 CCD 215 で得られた撮像信号から得られたデジタル映像信号をモニタ表示可能な映像信号に変換する映像信号処理用 DSP 221 (DSP はデジタル信号プロセッサの略である) と、この映像信号処理用 DSP 221 から出力される駆動信号のタイミングを変換して前記 CCD 215 へ与える駆動信号タイミング変換回路 222 と、前記 CCD 215 で得られた撮像信号に CDS (相関二重サンプリング) 処理及び AGC (自動利得制御) 処理を施して映像信号成分を抽出する CDS/AGC 回路 223 と、この CDS/AGC 回路 223 で得られた映像信号をデジタル信号に変換して前記映像信号処理用 DSP 221 へ与える A/D 変換回路 224 と、前記映像信号処理用 DSP 221 の処理途中のデジタル映像信号を一時記憶して、指定された演算処理等を行い、映像信号を前記映像信号処理用 DSP 221 へ戻す画像メモリ回路 225 と、前記映像信号処理用 DSP 221 との間で情報を伝送しつつ、前記駆動信号タイミング変換回路 222 や前記画像メモリ回路 225 等のビデオプロセッサ 216 各部を制御する制御マイクロプロセッサ 226 を有して構成されている。

前記 DSP 221 は、前記 CCD 215 を駆動する駆動信号を生成して前記駆動信号タイミング変換回路 222 へ与える駆動信号 TG 231 (TG はタイミングジェネレータの略である) と、前記 A/D 変換回路 224 で得られた映像信号に補正処理等を施して前記画像メモリ回路 225 へ映像信号を与える映像信号補正回路 232 と、前記画像メモリ回路 225 から戻された映像信号にデジタル変調を施して D/A 変換しモニタ表示可能な映像信号を得るデジタルエンコーダ 233 と、前記画像メモリ回路 225 へ与えるメモリ制御信号を生成するメモリ制御回路 234 を有して構成されている。

前記画像メモリ回路 225 は、便宜的に A フィールド及び B フィールドと呼ぶ 2 つのフィールドで構成される映像信号のうち、A フィールドの映像信号を逐次記憶するフィールドメモリ 251 と、B フィールドの映像信号を逐次記憶するフィールドメモリ 252 と、前記制御マイクロプロセッサ 226 からの制御に応じて、前記フィールドメモリ 251、252 から読み出される映像信号データ

に演算処理等を施す演算処理回路２７１と、演算処理回路２７１から出力される映像信号を一時記憶し、映像信号を前記映像信号処理用DSP２２１へ戻すフレームメモリ２７４を有して構成されている。

前記演算処理回路２７１は、前記フィールドメモリ２５１、２５２から読み出される映像信号データのそれぞれに前記制御マイクロプロセッサ２２６から与えられる係数を乗じる２つの乗算器２７２と、これら２つの乗算器２７２から出力される映像信号データを足し合わせる加算器２７３を有して構成されている。

次に、内視鏡２０１の通常の動作に関する作用を説明する。

光源装置２１１から発せられた照明光は、ライトガイド２１２により導光され、配光光学系２１３により被写体へ向けて照射される。

照明光を照射された被写体の光学像は、対物光学系２１４によりCCD２１５の受光面に結像され、CCD２１５は、被写体像を撮像する。駆動信号TG２３１で生成された駆動信号は、通常は駆動信号タイミング変換回路２２２においてタイミング変換されずに、CCD２１５へ与えられ、駆動信号により駆動されたCCD２１５は、撮像信号をCDS／AGC回路２２３へ与える。このCDS／AGC回路２２３は、与えられた撮像信号から映像信号成分を抽出してA／D変換回路２２４へ与え、このA／D変換回路２２４は、与えられた映像信号をデジタル信号に変換して映像信号処理用DSP２２１へ与える。この映像信号処理用DSP２２１では、与えられた映像信号に対して、映像信号補正回路２３２により、補正処理等を施し、例えば「Y：U：V＝４：２：２」形式のデジタル映像信号出力として画像メモリ回路２２５へ与える。画像メモリ回路２２５では、与えられた映像信号は、フィールドメモリ２５１、２５２に一時記憶され、通常は演算処理回路２７１で処理を施されずに、そのまま、フレームメモリ２７４を介して映像信号処理用DSP２２１へデジタル映像信号入力として戻される。映像信号処理用DSP２２１では、戻された映像信号が、デジタルエンコーダ２３３によりモニタ表示可能な映像信号に変換され出力される。このとき、フィールドメモリ２５１は、映像信号処理用DSP２２１のメモリ制御回路２３４からのメモリ制御信号により制御され、駆動信号タイミング変換回路２２２及び演算処理回路の動作モードは、制御マイクロプロセッサ２２６により制御される。

内視鏡 201 では、メモリ制御回路 234 がフィールドメモリ 251、252 を制御したり、制御マイクロプロセッサ 226 が駆動信号タイミング変換回路 222 及び演算処理回路 271 の動作モードを制御することにより、上述した通常の動作モードに加えて、CCD 215 の露光時間を通常より長くして動作する後述する長時間露光モードと、CCD 215 で得られる撮像信号から得られる映像信号のダイナミックレンジを拡大して動作する後述するダイナミックレンジ拡大モードで動作できるようになっている。

次に、長時間露光モードの動作に関する作用を説明する。

図 10 に示すように構成された内視鏡 201 は、長時間露光モードでは、図 11 に示す機能構成と等価的になる。即ち、図 11 に示すように、駆動信号タイミング変換回路 222 では、駆動信号のうち垂直転送信号  $\phi V$  のタイミングが変換され、他の駆動信号のタイミングは変換されないので、駆動信号タイミング変換回路 222 は、機能的には、垂直転送信号  $\phi V$  のタイミングを変換する読み出しパルスタイミング変換部 281 を有し、他の駆動信号はそのまま通過させる構成となっている。また、画像メモリ回路 225 では、演算処理回路 271 による処理が施されないので、画像メモリ回路 225 は、機能的には、演算処理回路 271 を介さずに、フィールドメモリ 251、252 からの映像信号が、フレームメモリ 274 を介してそのまま映像信号処理用 DSP へ戻される構成となっている。

なお、図 11 では、図 10 と同一の部位には同じ符号が付されている。

図 12 に示すように、映像信号処理 DSP 221 から出力される垂直転送信号  $\phi V$  は、CCD 215 の 1 つのフィールドラインの信号を CCD 215 に内蔵された図示しない転送レジスタへ CCD 215 が転送する際のタイミングを与える例えば  $1/60$  秒を周期とした垂直転送パルスからなり、この垂直転送パルスには、通常は、CCD 215 が 1 つのフィールドライン信号を撮像信号に含めて出力するタイミングを与える読み出しパルスが重畳されている。

読み出しパルスタイミング変換部 281 は、垂直転送信号  $\phi V$  に含まれる読み出しパルスを間引くべく、垂直転送信号  $\phi V$  を変換した垂直転送信号  $\phi Va$  を出力する。読み出しパルスは、通常は、 $1/60$  秒の周期で発生するが、図の例で

は、垂直転送パルスが3回発生する内に読み出しパルスは1回発生するので、読み出しパルスは、 $1/20$ 秒に1回発生する。従って、読み出しパルスの周期が長くなることに応じて、CCD 215の露光周期が長くなる。

すると、通常はCCD 215からは $1/60$ 秒の周期で撮像信号が出力されるのに対し、長時間露光モードでは、例えば $1/20$ 秒の周期で撮像信号CCD outが出力される。この撮像信号CCD outは、映像信号に変換されて画像メモリ回路225に与えられ、この画像メモリ回路225では、与えられた映像信号をメモリ制御回路234により制御されたフィールドメモリ251、252、フレームメモリ274により補間し、この補間した映像信号を映像信号処理用DSP 221へ戻す。

次にダイナミックレンジ拡大モードの動作に関する作用を述べる。

ダイナミックレンジ拡大モードでは、駆動信号タイミング変換回路222は、駆動信号のうちCCD 215の電子シャッタ機能を制御する電子シャッタ信号SUBのタイミングを変換し、他の駆動信号のタイミングは変換しない。また、画像メモリ回路225では、演算処理回路271により演算処理が行われる。

図13に示すように、例えば $1/60$ 秒を周期とする垂直転送信号 $\phi V$ により、露光周期は $1/60$ 秒となっている。そして、通常は、露光周期内の電子シャッタ信号SUBの発生期間は一定であるが、ダイナミックレンジ拡大モードでは、電子シャッタ信号SUB aの発生期間は、フィールドにより異なるように制御マイクロプロセッサ226が制御している。露光周期内におけるCCD 215の露光期間は、電子シャッタ信号SUB aの発生が終了してから開始するまでの期間であるので、電子シャッタ信号SUB aの発生期間が制御されることで、CCD 215の露光期間が変化する。この露光期間は、映像信号処理用DSP 221の例えば映像信号補正回路232等に設けられた測光回路により得られた映像信号の測光情報が映像信号処理用DSP 221から制御マイクロプロセッサ226に与えられ、この測光情報に応じて、制御マイクロプロセッサ226が制御するようになっている。

電子シャッタ信号SUB aを与えられたCCD 215は、このSUB aに対応した露光期間が終了した次の読み出しタイミングで撮像信号CCD outを出力

する。すると、露光期間が短い場合には、撮像信号C C D o u tの映像信号成分のレベルが小さくなり、逆に、露光期間が長い場合には、撮像信号C C D o u tの映像信号成分のレベルが大きくなる。ここで映像信号成分のレベルが所定のレベルを超えると、図に示すように映像信号成分が飽和してしまう。

このように、例えば交互に信号レベルの異なるフィールド信号は、フィールドメモリ251、252に交互に記憶される。そして、各フィールドメモリ251、252から読み出される映像信号は、それぞれ別々の乗算器271によって補正係数が乗じられてレベル補正され、これら2つの乗算器272から出力される映像信号は、加算器273でレベルが加算されてフレームメモリ274へ与えられる。このとき、乗算器272に制御マイクロプロセッサ226から与えられる補正係数は、図14に示すように、映像信号処理用D S P 2 2 1で測光された映像信号の測光レベルに対する関数になるように制御される。この関数は、例えば映像信号の高レベルの成分に対する補正係数の関数と低レベルの成分に対する補正係数を重畳した関数になっている。そして、図13に示すように、加算器273からフレームメモリに与えられる映像信号は、映像信号の飽和部分が補正され、ダイナミックレンジの広い信号となっている。フレームメモリ274は、加算器273から出力された映像信号を補間して、映像信号処理用D S P 2 2 1へ戻す。

以上図10ないし図14を参照して説明した内視鏡201によれば、映像信号処理用D S P 2 2 1がフィールドメモリ251、252等を制御したり、制御マイクロプロセッサ226が画像メモリ回路225及び駆動信号タイミング変換回路222を制御することで、ハードウェアの変更を伴わずに、長時間露光モード及びダイナミックレンジ拡大モード等の特殊動作モード動作を切り替えることができる。

なお、図10及び図11に構成の一例を示す内視鏡装置101は、ビデオプロセッサ216が内視鏡201と一体に構成されているが、このような構成に限らず、ビデオプロセッサが内視鏡と別体に構成されていてもよい。

ところで、従来、挿入部先端に設けられ被写体像を撮像するための撮像手段としてのC C Dと、操作部に設けられ前記C C Dを駆動制御し、前記C C Dで得ら

れる撮像信号からモニタ表示可能な映像信号を得るビデオプロセッサと、必要に応じて操作部に設けられ、前記映像信号を描出する表示手段としてのLCD（液晶ディスプレイ）を備えたことで、携帯に便利な内視鏡が知られている。

しかしながら、従来、このようなビデオプロセッサを備えた内視鏡では、日付や時刻及び任意の文字を映像信号に重畳する機能等の付加機能を備えた場合、任意の文字等を付加する回路が複雑でコスト増や装置が大型化する問題があった。

そこで、ビデオプロセッサを備えた内視鏡において、日付や時刻及び任意の文字を映像信号に重畳する機能等の付加機能を備えた内視鏡の実施の形態について、図16及び図17を参照して以下に説明する。

図16に示す内視鏡501は、体腔内或いは管路内等に挿入する細長の挿入部502と、この挿入部502の基端側に連設され、内視鏡501を把持し操作するための操作部503と、この操作部503に設けられた操作部スイッチ504と、前記操作部503から延出するケーブルにより接続されたりモートコントローラ505と、前記挿入部502先端に設けられ、被写体像を結像するための対物光学系511と、前記挿入部502先端の前記対物光学系511の結像位置に受光面が配置され、前記対物光学系511で結像した被写体像を撮像するための撮像手段としてCCD512と、例えば前記操作部503に設けられ、前記CCD512を駆動制御し、前記CCD512で得られた撮像信号からモニタ表示可能な映像信号を得るビデオプロセッサ513と、例えば前記操作部503に設けられ、前記ビデオプロセッサ513で得られた映像信号を描出するLCDモニタ514（LCDは液晶ディスプレイの略である）と、例えば操作部503に着脱自在に装着され、前記ビデオプロセッサ513及びLCDモニタ514等の内視鏡501各部へ電力を供給するバッテリー515と、例えば操作部503に着脱自在に装着され、前記ビデオプロセッサ513内の時計機能を維持するための電源を供給する時計用リチウム電池516等の電池とを有して構成されている。

前記ビデオプロセッサ513は、ビデオプロセッサ513各部へ供給するシステムクロックを発振するシステムクロック用水晶発振器521等の発振器と、前記CCD512を駆動する駆動信号を発生するCCD駆動回路522と、前記CCD512で得られた撮像信号にCDS（相関二重サンプリング）処理及びAG



C（自動利得制御）処理を施して映像信号成分を抽出するCDS／AGC回路523と、このCDS／AGC回路523で得られた映像信号をデジタル信号に変換するA／D変換回路524と、このA／D変換回路524で得られたデジタル信号からモニタ表示可能な例えばアナログ映像信号であるコンボジット映像信号及びY／C分離映像信号を得る映像信号処理用DSP525（DSPはデジタル信号プロセッサの略である）と、前記映像信号処理用DSP525等のビデオプロセッサ513各部へ与える信号を同期的に発生する同期回路526と、前記映像信号処理用DSP525と情報伝送しつつ、ビデオプロセッサ513各部を制御する制御マイクロプロセッサ527と、この制御マイクロプロセッサ527が実行するソフトウェアを格納するROM528と、前記制御マイクロプロセッサ527に接続され、文字データを画素データに変換するキャラクタジェネレータ529と、前記時計用リチウム電池516から電源供給され、前記制御マイクロプロセッサ530に日付や時刻の情報を与える時計IC530と、前記映像信号処理用DSP525の処理途中の映像信号と制御マイクロプロセッサ527から与えられる画素データとを重畳して映像信号を前記映像信号処理用DSP525へ戻すスーパーインポーズ回路531と、前記バッテリ515から供給される電源ラインを前記制御マイクロプロセッサ527からの制御に応じて開くことができる電源制御回路532を有して構成されている。

図17に示すように、前記映像信号処理用DSP525は、前記A／D変換回路524で得られた映像信号の輝度信号成分に補正処理等を施す輝度信号補正回路541a及び色信号成分に補正処理等を施す色信号補正回路541bを有し映像信号を前記スーパーインポーズ回路531へ与える映像信号補正回路541と、前記スーパーインポーズ回路531から戻された映像信号をデジタル変調してからD／A変換し、コンボジット映像信号及びY／C分離映像信号を得るデジタルエンコーダ542と、前記同期回路526から与えられる同期信号に従い前記スーパーインポーズ回路531に与える制御信号を発生するSSG543（同期信号発生回路）と、前記制御マイクロプロセッサ527と情報伝送するためのシリアルインタフェース544を有して構成されている。

前記スーパーインポーズ回路531は、前記映像信号処理用DSP525から与

えられる例えば16ビットの「Y : U : V = 4 : 2 : 2」形式の映像信号をラッチするラッチ回路551と、このラッチ回路551から出力される例えば16ビットの映像信号を一時記憶するフレームメモリ552と、前記制御マイクロプロセッサ527から画素信号等が与えられ例えば24ビットのRGB映像信号を発生するビデオディスプレイプロセッサ553と、このビデオディスプレイプロセッサ553で得られた例えば24ビットのRGB映像信号に色差変換処理を施し、例えば16ビットの「Y : U : V = 4 : 2 : 2」形式の映像信号を得る色差変換回路554と、前記ビデオディスプレイプロセッサ553に制御され前記フレームメモリ552からの映像信号と前記色差変換回路554からの映像信号とを重畳して映像信号を前記映像信号処理用DSP525へ戻すデジタルセレクタ555を有して構成されている。

次に、図16及び図17を参照して構成を説明した内視鏡501の作用を述べる。

CCD駆動回路522からの駆動信号により駆動されたCCD512は、被写体像に対応する撮像信号をCDS/AGC回路523に与え、このCDS/AGC回路523は、与えられた撮像信号から映像信号成分を抽出してA/D変換回路524に与え、このA/D変換回路524は、与えられた映像信号をデジタル信号に変換して映像信号処理用DSP525に与える。この映像信号処理用DSP525では、与えられた映像信号に映像信号補正回路541が補正処理等を施し、例えば「Y : U : V = 4 : 2 : 2」形式の映像信号をスーパインポーズ回路531に与える。このスーパインポーズ回路531では、与えられた映像信号が、ラッチ回路551で同期化され、フレームメモリ552に一時記憶され、デジタルセレクタ555に与えられる。

一方、制御マイクロプロセッサ527は、時計IC530から、日付や時刻の情報を得る。そして、制御マイクロプロセッサ527は、この日付や時刻の情報を示す文字情報をキャラクタジェネレータ529で画素情報に変換し、スーパインポーズ回路531のビデオディスプレイプロセッサ553に与える。このとき、時計IC530の日付や時刻の修正は、操作部スイッチ504或いはリモートコントローラ505からの操作入力により行われる。また、制御マイクロプロセッ

サ 5 2 7 は、操作部スイッチ 5 0 4 或いはリモートコントローラ 5 0 5 から任意の文字情報を得ることができる。そして、制御マイクロプロセッサ 5 2 7 は、この任意の文字情報をキャラクタジェネレータ 5 2 9 で画素情報に変換し、ビデオディスプレイプロセッサに与える。日付や時刻を示す文字及び任意の文字に対応した画素情報は、ビデオディスプレイプロセッサ 5 5 3 により、例えば R G B 形式の映像信号に変換され、この R G B 形式の映像信号は、色差変換回路 5 5 4 により、例えば「Y : U : V = 4 : 2 : 2」形式の映像信号に変換されてデジタルセレクトに与えられる。

すると、デジタルセレクト 5 5 5 は、フレームメモリ 5 5 2 からの映像信号に、色差変換回路 5 5 4 からの映像信号を重畳し、例えば「Y : U : V = 4 : 2 : 2」形式の映像信号を映像信号処理用 D S P 5 2 5 へ戻す。この重畳された映像信号は、D S P 5 2 5 のデジタルエンコーダ 5 4 2 で、モニタ表示可能な例えばコンポジット映像信号に変換されて出力される。また、このコンポジット映像信号は、L C D モニタ 5 1 4 に与えられ、この L C D モニタ 5 1 4 には、被写体像に日付や時刻を示す文字及び任意の文字が重畳された画像が表示される。

また、制御マイクロプロセッサ 5 2 7 は、時計 I C 5 3 0 から与えられる時刻が所定の時刻になると、電源制御回路 5 3 2 を制御し、これにより、バッテリー 5 1 5 から内視鏡 5 0 1 各部へ供給される電源が切断される。

以上図 1 6 及び図 1 7 を参照して説明した内視鏡 5 0 1 によれば、スーパインポーズ回路 5 3 1、制御マイクロプロセッサ 5 2 7、時計 I C 5 3 0、操作部スイッチ 5 0 4、キャラクタジェネレータ 5 2 9 を内視鏡 5 0 1 内に設けたことで、外部装置を設けなくても日付や時刻の表示及び任意の文字の表示を被写体像に重畳して表示することができる。

また、この実施の形態では、映像信号処理用 D S P 5 2 5 の処理途中の映像信号に対して日付や時刻、任意の文字、任意の図形などを含む映像信号を、フレームメモリ 5 5 2 の後段で重畳することにより、フレームメモリ 5 5 2 で内視鏡画像を静止画表示、或いは長時間露光状態によるフレームメモリ 5 5 2 から連続的に読み出し動作をしている場合でも、前記映像信号を重畳する、しないが選択でき、使い勝手をよくすることができる。さらに、図 1 7 に示すように、フレーム

メモリ 5 5 2 のアドレスは、D S P 5 2 5 でアドレス制御する構成なので、従来は別途設けられるアドレスコントローラ回路が不要で、部品点数を削減でき、小型化且つ安価に構成できる。

上記実施の形態では、図 1 7 においてデジタルセクタ 5 5 5 の出力（図 1 6 においてはスーパーインポーズ回路 5 3 1 の出力）を外部に出力しているので、文字などの情報を重畳した内視鏡画像のデジタル映像信号を容易に出力でき、外部にて活用することができる。

また、この実施の形態では、図 1 7 のビデオディスプレイプロセッサ 5 5 3 より直接 Y : U : V（輝度 Y、色差  $R - Y / B - Y$ ）を発生させることも可能であり、その場合は色差変換回路 5 5 4 は不要とすることも可能である。

また、この実施の形態では、D S P 5 2 5 の映像信号補正回路 5 4 1 から R G B 信号を出力させる場合は、スーパーインポーズ回路は R G B 信号で処理できるもので構成してもよい。

さらに、この実施の形態では、図 1 6 の制御マイクロプロセッサ 5 2 7 は、外部と R S 2 3 2 C で通信できるようになっているため、外部にパソコンなどを接続することにより、ユーザが操作スイッチ 5 0 4 で設定する機能、リモートコントローラ 5 0 5 で設定する機能を、外部のパソコンからも制御、操作できる。

さらにまた、マイクロプロセッサ 5 2 7 は、図示せぬ挿入部先端部の角度を調整する電動アングルの操作や、時計の時刻設定や、内視鏡画像に重畳表示すべき内容の設定、或いは D S P 5 2 5 の全ての設定、例えば、色調整、ホワイトバランス調整、C C D 駆動パルスタイミング調整、信号線の長さタイミング調整、ガンマ補正、エンハンス調整、電子シャッタ露光時間設定、長時間露光の露光時間設定等ができるようになっている。そのため、この実施の形態では、外部パソコンより R S 2 3 2 C 経由でこれら D S P 5 2 5 の全ての設定を含む、内視鏡装置全体の全設定、操作、調整ができるようになっているので、外部のパソコンなどと接続することにより、非常に操作性のよい、またシステム拡張性の高い電子内視鏡システムを構築することも可能である。

また、時計 I C 5 3 0 を設け、更に、制御マイクロプロセッサ 5 2 7 の制御によりバッテリー 5 1 5 から供給する電源を切断できる電源制御回路 5 3 2 を設けた

ので、所定の時刻に自動で電源を切断するように制御することができる。

また、時計 I C 5 3 0 用の電源である時計用リチウム電池 5 1 6 を設けたので、バッテリー 5 1 5 から内視鏡 5 0 1 各部へ供給される電源が切断されている間でも、時計 I C 5 3 0 は時刻を常時更新することができる。

本発明においては、広い範囲において異なる実施態様が、発明の精神及び範囲から逸脱することなく、本発明に基づいて、構成できることは明白である。本発明は、添付のクレームによって限定される以外波、その特定の実施態様によって制約されない。

WHAT IS CLAIMED:

1. 内視鏡装置は以下を含む：

内視鏡に内蔵された或いは着脱自在に接続される撮像装置を駆動する第1の駆動信号を生成する第1駆動信号生成部；

前記撮像装置で得られた撮像信号に含まれる第1の映像信号を得る映像信号抽出部；

前記映像信号抽出部が前記撮像信号から前記第1の映像信号を得る際のタイミングを制御する第2の駆動信号を生成する第2駆動信号生成部；

前記第1の映像信号からモニタ表示可能な第2の映像信号を得る回路の少なくとも一部を格納した第1のプロセッサ；

前記第1のプロセッサに格納され前記第1の駆動信号及び前記第2の駆動信号に含まれる信号のうち少なくとも一部の信号を遅延させる遅延回路。

2. クレーム1の内視鏡装置であって、

前記第1のプロセッサは、集積回路で構成されたデジタル信号プロセッサである。

3. クレーム1の内視鏡装置であって、

前記遅延回路は、遅延時間が可変である。

4. クレーム3の内視鏡装置であって、

前記遅延回路は、直列に接続された多段のバッファ回路と、前記多段のバッファ回路の段数を選択する回路とを備えている。

5. クレーム3の内視鏡装置であって、

前記遅延回路の遅延時間を設定する第2のプロセッサを備えている。

6. クレーム5の内視鏡装置であって、

前記遅延時間を指定するためのスイッチを備え、

前記第2のプロセッサは、前記スイッチの状態に応じて前記遅延時間を設定する。

7. クレーム5の内視鏡装置であって、

前記遅延時間を導出可能な情報を設定するためのスイッチを備え、

前記第2のプロセッサは、前記スイッチの状態に応じて前記遅延時間を設定す

る。

8．クレーム7の内視鏡装置であって、

前記遅延時間を導出可能な情報は、前記内視鏡の挿入部の長さを示す情報を含む。

9．クレーム7の内視鏡装置であって、

前記遅延時間を導出可能な情報は、前記内視鏡の種別を識別するための識別情報を含む。

10．クレーム5の内視鏡装置であって、

前記内視鏡は、前記遅延時間を示す情報を前記第2のプロセッサへ与える情報通知部を備え、

前記第2のプロセッサは、前記情報通知手段から通知される情報に応じて前記遅延時間を設定する。

11．クレーム5の内視鏡装置であって、

前記内視鏡は、前記遅延時間を導出可能な情報を前記第2のプロセッサへ与える情報通知部を備え、

前記第2のプロセッサは、前記情報通知手段から通知される情報に応じて前記遅延時間を設定する。

12．クレーム11の内視鏡装置であって、

前記遅延時間を導出可能な情報は、前記内視鏡の挿入部の長さを示す情報を含む。

13．クレーム11の内視鏡装置であって、

前記遅延時間を導出可能な情報は、前記内視鏡の種別を識別するための識別情報を含む。

## ABSTRACT OF THE DISCLOSURE

SSGからの駆動信号は、遅延回路等を介して、CCDを駆動する。そのため、CCDからの撮像信号は、SSGから遅延回路を介して与えられるサンプルホールド信号により駆動されるCDS回路で映像信号に変換され、A/D変換回路、映像信号処理回路、デジタルエンコーダを介して、モニタ表示可能な映像信号に変換されて出力される。このとき、遅延回路により、CDS回路へ与えられる撮像信号とサンプルホールド信号の位相とを補正することで、信号線の長さ補正が行われる。また、遅延回路は、映像信号処理回路等を納めた映像信号処理用DSPに組み込まれて構成されるので、構成が簡略化されて部品数も削減され、安価に構成できる。